

# FLEX 8000のI/Oタイミングが 提供する利点

TECHNICAL BRIEF 11

1996年7月

デバイスに入出力される信号のスピードはシステム全体の性能に大きな影響を与えます。I/Oタイミングがあらかじめ予測可能になっていると、デバイス間の配線とは無関係に他のデバイスとのインターフェース可能かどうかが判断できるため、デバイスの選択を先行して行うことができます。FLEX 8000のI/Oセルに内蔵されているレジスタは予測可能なタイミング特性と高速の「Clock-to-Output」遅延( $t_{CO}$ )を提供しており、デバイス間の性能を最大にする重要な役割を果たしています。これに対して、I/Oセル・レジスタを内蔵していないセグメント化されたFPGAでは、すべてのI/Oインターフェースに内部ロジックのレジスタを使用する必要があり、結果的にI/Oの性能が低速で予測できないものとなります。

## 出力遅延を予測可能にするI/Oセル・レジスタ

FLEX 8000の $t_{CO}$ は、デバイスの使用効率やロジックの配置とは無関係に各スピード・グレードごとに一定となっています。これに対して、いくつかのFPGAデバイスにはI/Oセル・レジスタが内蔵されておらず、セグメント化された内部アーキテクチャによって、そのタイミングがますます予測不可能なものになっています。セグメント化されたアーキテクチャでは、任意の2点間のパスの長さがデバイス内で使用可能である配線リソースの数によって決定されます。デバイス内部で使用されるリソースが増加すると共に、信号が間接的なパスを経由して配線される可能性が高くなります。I/Oセルを内蔵していないFPGAで最高の $t_{CO}$ 性能を得るためにには、I/Oピンにもっとも近い位置にあるセルをマニュアルで選択する必要があります。配線の制限から最適な配置が不可能な場合には、使用されるセルの位置と配線パスによってはI/Oタイミングが大幅に変化する可能性があります。配線にロング・ラインを選択された場合でも、FPGAの $t_{CO}$ は最大100%以上変動する可能性があります。そして、デバイス内で使用可能なロング・ラインの数が制限されると、実際の $t_{CO}$ の値はさらに大きく変動することになります。

## 優れた出力性能を提供するI/Oレジスタ

「Clock-to-Output」( $t_{CO}$ )は、出力の性能に影響を与える重要なパラメータです。FLEX 8000デバイスのI/Oセル・レジスタは高速で一定した $t_{CO}$ を提供します。例えば、-4のスピード・グレードのFLEX 8000Aデバイスでは、I/Oセル・レジスタの $t_{CO}$ が10.1nsとなっています。(表1を参照)アルテラが実施したテスト結果によると、このスピードは、I/Oセルを内蔵していないXilinxのXC5210-5デバイスでもっとも良い条件(I/Oピンにもっとも近いセルを選択)での $t_{CO}$ の値、17.8nsより76%も高速となりました。また、 $t_{CO}$ が8.8nsとなっているFLEX 8000Aデバイスの-2のスピード・グレードを選択することによって、さらに高い性能を得ることができます。

表1 デバイスの出力タイミングの比較<sup>1</sup>

パラメータ	Altera EPF81188A (ns)		Xilinx XC5210-5 (ns)		
	A-4	A-2	もっとも近い位置のセル <sup>2</sup>	中間的な位置のセル <sup>3</sup>	もっとも遠い位置のセル <sup>4</sup>
Clock-to-Output遅延( $t_{CO}$ )	10.1	8.8	17.8	28.9	36.1

1 データの値はアルテラが実施したテスト結果によるもの

2 I/Oピンに隣接したセルを選択

3 デバイス中央部のセルをロング・ラインでI/Oピンと接続

4 デバイスの反対側のコーナーにあるセルをロング・ラインでI/Oピンと接続

## 入力タイミングを予測可能にするFastTrackインタコネクト

入力タイミングでは、セットアップ・タイム( $t_{SU}$ )とホールド・タイム( $t_H$ )が重要なパラメータとなります。XilinxのXC5210-5では、内部のセルを入力レジスタとして使用する場合に、ホールド・タイムがゼロになるようにすることができる入力バスの遅延をプログラムする機能が提供されています。(表2を参照)

表2 XC5210-5デバイスの入力タイミング<sup>1</sup>

パラメータ	XC5210-5内部セルでの値 ( ns)		
	もっとも近い位置のセル <sup>2</sup>	中間的な位置のセル <sup>3</sup>	もっとも遠い位置のセル <sup>4</sup>
遅延を含むセットアップ・タイム ( $t_{SU}$ )	2.7	9.4	13.9
遅延を含むホールド・タイム ( $t_H$ )	0.0	0.0	0.0

<sup>1</sup> データの値はアルテラが実施したテスト結果によるもの<sup>2</sup> I/Oピンに隣接したセルを選択<sup>3</sup> デバイス中央部のセルをロング・ラインでI/Oピンと接続<sup>4</sup> デバイスの反対側のコーナーにあるセルをロング・ラインでI/Oピンと接続

このプログラマブルな遅延とこれによって実現される0nsのホールド・タイムは、ホールド・タイムが0nsよりも大きくなるFLEX 8000デバイスよりも有利のように見えます。しかし、FLEX 8000のコア・レジスタは0nsのピン間ホールド・タイムを保証しており、入力レジスタとしても使用することができます。これらのコア・レジスタはFast Trackインタコネクトと組み合わされ、FLEX 8000デバイスに予測可能な優れた入力タイミングを提供しています（表3を参照）。FLEX 8000デバイスのコア・レジスタのセットアップ・タイムが変化する範囲は0.4nsだけですが、XC5210-5のセットアップ・タイムは最大11.2nsまで変動する可能性があります。

表3 FLEX 8000デバイスの入力タイミング

パラメータ	EPF81188A-4の内部セルでの値			EPF81188A-2の内部セルでの値		
	もっとも近い位置のセル <sup>1</sup>	中間的な位置のセル <sup>2</sup>	もっとも遠い位置のセル <sup>3</sup>	もっとも近い位置のセル <sup>1</sup>	中間的な位置のセル <sup>2</sup>	もっとも遠い位置のセル <sup>3</sup>
セットアップ・タイム ( $t_{SU}$ )	3.6	3.8	4.0	2.3	2.5	2.7
ホールド・タイム ( $t_H$ )	0.0	0.0	0.0	0.0	0.0	0.0

<sup>1</sup> I/Oピンに隣接したセルを選択<sup>2</sup> デバイス中央部のセルをI/Oピンと接続<sup>3</sup> デバイスの反対側のコーナーにあるセルをI/Oピンと接続

### 予測可能な性能を提供するFLEX 8000

FLEX 8000デバイスのI/Oセル・レジスタは、I/Oセル・レジスタを内蔵していないFPGAよりも出力タイミングがさらに高速で性能の予測が容易になっています。さらに、コア・レジスタを入力レジスタとして使用した場合でも、Fast Trackインタコネクトによって入力タイミングの予測が可能になっています。さらに詳しいことは、FLEX 8000ファミリのデータシート、およびアプリケーション・ノート、AN-76 ( Understanding FLEX 8000 Timing ) を参照して下さい。

## 日本アルテラ株式会社

〒163-04 東京都新宿区西新宿2-1-1  
新宿三井ビル私書箱261号  
TEL. 03-3340-948 FAX. 03-3340-9487

### 本社 Altera Corporation

2610 Orchard Parkway,  
San Jose, CA 95134-2020  
Telephone : (408) 894-7000  
Fax : (408) 944-0952